

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-099188

(43)Date of publication of application : 07.04.2000

---

(51)Int.Cl. G06F 1/06

---

(21)Application number : 10-265046 (71)Applicant : FUJITSU LTD

(22)Date of filing : 18.09.1998 (72)Inventor : SHIBAZAKI SHOGO

---

## (54) CLOCK SWITCHING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make settable more frequencies without making a clock switching circuit large in scale by extracting pulses of a master clock signal every time a specific time has passed after a set value corresponding to target synchronism is reached.

**SOLUTION:** A setting means 4 sets the value corresponding to a clock signal of desired frequency and a counting means 2 once counting pulses of MCLK by the value set by the setting means 4 outputs a carry signal having the same width as the synchronism of MCLK. An extracting means 3 inputs MCLK and outputs the pulses of MCLK each time the counting means 4 outputs the carry signal. According to the set value of the setting means 4, the master clock signal is switched to one of clock signals of synchronism, so the need for a circuit which generates clock signals of different frequencies at the same time and a circuit which selects a desired clock signal among clock signals is eliminated. Further, since the clock signal is switched in timing synchronizing with the master clock signal, no hazard is caused even when the set value is varied.

-----  
LEGAL STATUS [Date of request for examination] 30.07.2001

[Date of sending the examiner's decision of rejection] 02.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-019335

[Date of requesting appeal against examiner's decision of rejection] 02.10.2003

[Date of extinction of right]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] counting which carries out counting of the pulse of a master clock signal to a setting means set up the value corresponding to the target period of a clock signal, in the clock electronic switch which changes a master clock signal to the clock signal which has the period of the integral multiple of this master clock signal -- a means and said counting -- the clock electronic switch characterized by to have an extract means extract the pulse of a master clock signal whenever the enumerated data in a means reach the set point of said setting means.

[Claim 2] said extract means -- said counting -- the clock electronic switch according to claim 1 characterized by having a delay means to extract a master clock signal after predetermined time after the enumerated data in a means reach the set point of said setting means.

[Claim 3] said counting -- the clock electronic switch according to claim 2 characterized by for a means outputting a carry signal if counting only of the set point in said setting means is carried out, and a delay means delaying [ predetermined time ] said carry signal.

[Claim 4] Said extract means is a clock electronic switch according to claim 3

characterized by extracting the pulse of the master clock signal generated during the output period of the carry signal delayed in said delay means.

[Claim 5] said extract means -- said counting -- the clock electronic switch according to claim 3 characterized by delaying the carry output of a means more than the width of face of the pulse of a master clock.

[Claim 6] said counting -- the clock electronic switch according to claim 5 which a means carries out counting of this pulse with one edge of the pulse of a master clock signal, and is characterized by said extract means having the flip-flop which latches said carry signal with the edge of another side of a master clock signal.

[Claim 7] Said extract means is a clock electronic switch according to claim 6 characterized by having the AND circuit which takes the output of said flip-flop, and the AND of a master clock signal.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the circuit changed to the clock

signal which has especially the frequency of the request of a clock signal in two or more frequencies which can be set up about the circuit which generates the clock signal used as the basic signal of circuit actuation. As one of the approaches which stops the power consumed in the circuit in an information processor, there is the approach of making the working speed of a circuit late. In order to make the working speed of a circuit late, it can realize by making late the frequency of the clock signal which operates a circuit, and the various circuits changed to the clock signal which has the frequency of a request of a clock signal are known.

[0002]

[Description of the Prior Art] The 1st conventional clock electronic switch is shown in drawing 6 . As for a clock generation circuit and 52, in drawing 6 , 51 is [ a setting register and 53 ] selectors. The clock generation circuit 51 generates the clock signal of two or more frequencies, and outputs the clock signal of each frequency to a selector 53. n-bit data of 52 are the register stored, and, as for a setting register, the value corresponding to a target clock frequency is stored. A selector 53 chooses the clock signal of the frequency corresponding to the value stored in the setting register from the clock signals of two or more frequencies which the clock generation circuit 51 generated.

[0003] Here, the clock generation circuit 51 shall store the value of 2 bits that the

clock signals CLK0-CLK3 of four kinds of frequencies should be generated, and the setting register 52 should make possible a setup of four kinds of clock signals. Drawing 7 is a timing diagram of operation in the 1st conventional clock electronic switch. The actuation which changes a clock signal from CLK1 to CLK2 and CLK2 to CLK1 is explained using drawing 7 .

[0004] While "01" corresponding to CLK1 in the value of the setting register 52 is stored, a selector 53 outputs CLK1 alternatively. The change of a clock signal is generated by a demand of a user or decision of CPU. Generating of the directions which change a clock signal from CLK1 to CLK2 changes the value of the setting register 52 into "01" which shows CLK2 from "00" which shows CLK1. A register 53 answers that the value stored in the setting register 52 changed, and outputs CLK2 alternatively.

[0005] Moreover, if the directions returned to CLK1 from CLK2 occur, the value change by which the value of the setting register 52 is stored in "00" from "01", and return and a selector 53 are stored in the setting register 52 will be answered, and CLK1 will be outputted alternatively. In the 1st conventional clock electronic switch shown in drawing 6 , it is the configuration that a clock signal changes the moment the value of the setting register 52 changed. Therefore, depending on the timing of change of the set point, a hazard occurs in the output of a selector 53, and the problem that the circuit which operates in response to

the clock signal outputted from a selector 53 malfunctions arises. For example, if the value which specifies the clock signal just before the pulse of a clock signal to choose falls is set as the setting register 52, a pulse (hazard) with slight time amount width of face will be outputted from a selector 53.

[0006] Moreover, if the class of frequency which can be set up is increased, the clock generation circuit 51 will large-scale-ize, and complication and the problem of large-scale-izing will also produce the selector which chooses one predetermined out of many clock signals. In order to solve the above-mentioned problem, the clock electronic switch which generates a clock signal with the frequency of hope exists by extracting, whenever the time amount which had the pulse of a master clock signal with a fixed frequency set up passes. The clock electronic switch in the 2nd former is shown in drawing 8 .

[0007] For 61, as for a counter and 63, in drawing 8 , a master clock generating circuit and 62 are [ a setting register and 64 ] AND circuits. Here, the clock generation circuit 61 outputs a master clock signal with a certain frequency, and a counter 62 carries out counting of the pulse which the master clock generating circuit 61 generates. The numeric value corresponding to the frequency of hope is stored, and a counter 62 will output a carry signal to the setting register 63, if only the value set as the setting register 63 carries out counting of the pulse of a master clock signal. AND circuit 64 takes the clock pulse of the clock generation



circuit 61, and the AND of the carry signal of a counter 62.

[0008] Therefore, the clock electronic switch of drawing 9 generates the clock signal of a predetermined frequency by extracting the pulse which the master clock generating circuit 61 outputs with the time interval according to the value in which it was stored by the setting register 63. According to the clock electronic switch of drawing 9 , since a master clock generating circuit should just generate the pulse of one certain frequency, it can realize the miniaturization of a circuit. Moreover, the timing from which a clock signal changes is not dependent on the timing of storing of the value to a setting register, and synchronizes with a master clock signal.

[0009]

[Problem(s) to be Solved by the Invention] However, the start and the fall of a carry signal which a counter 62 outputs are only in time amount slighter than the standup of the pulse of a master clock signal, as shown in drawing 10. Consequently, the width of face of the pulse extracted becomes short a little, and also only time amount with slight pulse and carry signal which should be thinned out laps, and only minute time amount is outputted. Therefore, even if it used the clock electronic switch shown in drawing 9 , the problem of generating of a hazard still remained.

[0010] In this invention, while offering the clock generation circuit whose setup of

more frequencies is attained that the above-mentioned trouble should be solved, without causing large-scale-ization of a circuit, the change of a clock signal is performed to the optimal timing, and it aims at offering the clock electronic switch which does not make a clock signal generate a hazard.

[0011]

[Means for Solving the Problem] counting to which the clock electronic switch of claim 1 of this invention carries out counting of the pulse of a master clock signal to a setting means to set up the value corresponding to the target period of a clock signal -- a means and counting -- after the enumerated data of a means reach the set point of a setting means, whenever it passes predetermined time, it has an extract means to extract the pulse of a master clock signal.

[0012] According to invention of claim 1, in order to change a master clock signal to the clock signal of any one period of two or more periods according to the set point of a setting means, the circuit which generates the clock signal of two or more frequencies to coincidence, and the circuit which chooses one of the requests from two or more clock signals become unnecessary. Moreover, it is not based on the timing of a setup of the value to a setting means, and since a clock signal changes to the timing which synchronized with the master clock signal, a hazard is not generated even if the set point changes during the output period of a clock signal. furthermore, a clock pulse -- counting -- since it

generates whenever a means carries out counting only of the set point in a setting means, the pulse of the master clock signal which should be thinned out is not outputted and generating of a hazard is suppressed completely.

[0013] invention of claim 2 -- counting -- after the enumerated data in a means carry out counting only of the value set as the setting means, it has a delay means to extract a master clock signal, after predetermined time. according to invention of claim 2 -- the timing of an extract of a master clock -- counting -- it shifts from completion of counting of the set point in a means. invention of claim 3 -- counting -- whenever a means carries out counting only of the set point in a setting means, the carry signal of predetermined time width of face is outputted, and a carry signal is delayed with a delay means.

[0014] According to invention of claim 3, the phase of a carry signal shifts from the phase of a master clock signal. In invention of claim 4, the master clock pulse generated during the output period of the delayed carry signal is extracted. Since the phase of the delayed carry signal has shifted from the master clock signal according to invention of claim 4, a gap of delicate timing with the pulse of a carry signal and a master clock signal is absorbed, and can make the width of face of the pulse extracted in agreement with the pulse width of a master clock signal.

[0015] invention of claim 5 -- an extract means -- counting -- the carry output of a

means is delayed more than the width of face of the pulse of a master clock signal. Since the pulse of the master clock signal which laps with 1 time of a carry signal can be set only to one according to invention of claim 5, the pulse of the master clock signal which laps with a carry signal only of a minute period is lost, and generating of a hazard can be prevented.

[0016] invention of claim 6 -- counting -- a means carries out counting of the pulse with one edge of the pulse of a master clock signal, and an extract means latches a carry output with the edge of another side of the pulse of a master clock signal. According to invention of claim 6, generating of a hazard is prevented, as it can be delayed more than the pulse width of a master clock signal and the carry output was mentioned above.

[0017] In invention of claim 7, an extract means has the AND circuit which takes the output of a flip-flop, and the AND of a master clock signal. According to invention of claim 7, the clock signal which has the period of the integral multiple of a master clock signal, and has the same width of face as the pulse of a master clock signal is outputted.

[0018]

[Embodiment of the Invention] The conceptual diagram of the clock electronic switch of this invention is shown in drawing 1 . drawing 1 -- setting -- 2 -- counting -- as for a means and 3, an extract means and 4 are setting means.

counting -- a means 2 carries out counting of the pulse of the master clock signal (MCLK) of fixed width of face and a fixed period. the value corresponding to the clock signal of a desired frequency in the setting means 4 -- setting up -- counting -- a means 2 will output the carry signal of the same width of face as the period of MCLK, if only the value which the setting means 4 set up carries out counting of the pulse of MCLK. the extract means 3 -- MCLK -- inputting -- counting -- the pulse of MCLK is outputted whenever a means 4 outputs a carry signal.

[0019] The clock electronic switch in the gestalt of the operation of this invention to drawing 2 is shown. as shown in drawing 2 , a master clock signal is outputted from the master clock generation circuit 1 -- having -- the setting means 4 -- from the n-bit register 41 -- becoming -- counting -- a time means consists of a n-bit counter 21. The data of the n-th ( $n=0, 1, \dots k$ ) bit eye stored in the register 41 are reversed and loaded to the data input terminal DTn with which a counter 21 corresponds. The timing loaded is a time of MCLK becoming active, when it is in the condition, i.e., the condition that the output from the carry terminal RC is active, that the input to the load terminal LD is active.

[0020] A counter 21 is counted up to the timing from which MCLK becomes active, and it becomes active outputting it from the carry terminal RC with which all the outputs of a counter become logic "1." Since the value which reversed the

data stored in the register 41 is loaded to a counter 21, whenever only the value with which the counter 21 was stored in the register 41 counts MCLK, the condition of the carry terminal RC becomes active. When MCLK becomes active in the condition that the carry terminal RC is active, the data stored in the register 41 are again loaded to a counter 21 as mentioned above.

[0021] The extract means 3 comes to contain the flip-flop (FF) 31 which latches the carry signal which a counter 21 outputs, and AND circuit 32 which takes the output of this FF31, and the AND of MCLK. FF31 latches a carry signal to the timing of falling of MCLK. That is, from FF31, the carry signal with which only the width of face of MCLK was delayed is outputted by the output terminal Q.

[0022] In AND circuit 32, the AND of the signal from the output terminal Q of FF31 and MCLK is taken, and MCLK inputted into AND circuit 32 only within the period when the active signal is outputted from the output terminal Q of FF31 is outputted as a clock signal. An epitome of actuation of the clock electronic switch described above outputs MCLK by which the pulse was thinned out only for the value stored in the register 41 from AND circuit 32.

[0023] Drawing 3 thru/or drawing 5 are the timing diagrams in the clock electronic switch shown in drawing 2 . The value which the register 41 shown in drawing 2 shall store 4-bit data, shall carry out counting of the 4-bit data for a counter 21, and is stored in a register 41 explains actuation of the clock

electronic switch at the time of "0", "1", and "2" below in hexadecimals.

[0024] Drawing 3 is a timing diagram in case the data stored in a register 41 are "0." First, reset starts a counter 21 and FF31 at time of day t0, and the output of the condition 21 with active all that are the output bits of a counter 21, i.e., a counter, is set to "F", and outputs a signal with the active carry terminal RC. Moreover, the output terminal Q of FF31 outputs an active signal.

[0025] And in time of day t1, MCLK becomes active. At this time, since the carry terminal RC is active, its load terminal LD is active, and "F" which is the reversal value of the value "0" stored in the register 41 is loaded to a counter 21. Consequently, "F" is maintained and, as for the output of a counter 21, the carry terminal RC maintains an active condition.

[0026] If time of day t2 comes, MCLK becomes negative, FF31 latches the signal outputted from the carry terminal RC, but since the carry terminal RC is in an active condition in time of day t2, an active condition is maintained for the output terminal Q of FF31. Since the reversal value "F" of the value "0" stored in the register 41 is loaded to a counter 21 whenever henceforth becomes active [ MCLK ], the carry terminal RC of a counter 21 continues maintaining an active condition. Therefore, the output terminal Q of FF31 continues maintaining an active condition, and one input of AND circuit 32 becomes always active. Therefore, MCLK inputted into AND circuit 32 is not thinned out, and a clock

electronic switch is outputted from AND circuit 32 by making MCLK into a clock signal.

[0027] Drawing 4 is a timing diagram in case the data stored in a register 41 are "1." First, reset starts a counter 21 and FF31 at time of day t0, and the output of the condition 21 with active all that are the output bits of a counter 21, i.e., a counter, is set to "F", and outputs a signal with the active carry terminal RC. Moreover, the output terminal Q of FF31 outputs an active signal.

[0028] And in time of day t1, MCLK becomes active. At this time, since the carry terminal RC is active, its load terminal LD is active, and the reversal value "E" of the value "1" stored in the register 41 is loaded to a counter 21. Therefore, the output of a counter 21 is set to "E" and reverses the carry terminal RC to a negative condition.

[0029] In time of day t2, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in a negative condition, in time of day t2, the output terminal Q of FF31 changes to a negative condition. MCLK becomes active at time of day t3, and a counter 21 performs count-up rise actuation. Consequently, an output changes from "E" to "F" and the carry terminal RC changes to an active condition.

[0030] In time of day t4, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in



an active condition, in time of day t4, the output terminal Q of FF31 changes to an active condition. In time of day t5, MCLK becomes active. At this time, since the carry terminal RC is active, its load terminal LD is active, and the reversal value "E" of the value "1" stored in the register 41 is loaded to a counter 21. Therefore, the output of a counter 21 is set to "E" and reverses the carry terminal RC to a negative condition.

[0031] In time of day t6, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in a negative condition, in time of day t6, the output terminal Q of FF31 changes to a negative condition. As mentioned above, if "1" is set as a register 41, the carry terminal RC will become active with a period twice the period of MCLK, and the output terminal Q of FF31 will become active with a period twice the period of MCLK in connection with this. Therefore, AND circuit 32 outputs the pulse of MCLK every other piece as a clock signal.

[0032] Drawing 5 is a timing diagram in case the data stored in a register 41 are "2." First, reset starts a counter 21 and FF31 at time of day t0, and the output of the condition 21 with active all that are the output bits of a counter 21, i.e., a counter, is set to "F", and outputs a signal with the active carry terminal RC. Moreover, the output terminal Q of FF31 outputs an active signal.

[0033] And in time of day t1, MCLK becomes active. At this time, since the carry

terminal RC is active, its load terminal LD is active, and the reversal value "D" of the value "2" stored in the register 41 is loaded to a counter 21. Therefore, the output of a counter 21 serves as "D" and reverses the carry terminal RC to a negative condition.

[0034] In time of day t2, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in a negative condition, in time of day t2, the output terminal Q of FF31 changes to a negative condition. MCLK becomes active at time of day t3, and a counter 21 performs count-up rise actuation. Consequently, although an output changes from "D" to "E", the carry terminal RC maintains a negative condition.

[0035] In time of day t4, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in a negative condition, in time of day t4, the output terminal Q of FF31 maintains a negative condition. In time of day t5, MCLK becomes active. A counter 21 performs count-up rise actuation. Consequently, an output changes from "E" to "F" and the carry terminal RC changes to an active condition.

[0036] In time of day t6, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in an active condition, in time of day t6, the output terminal Q of FF31 changes to an active condition. In time of day t7, MCLK becomes active. At this time, since

the carry terminal RC is active, its load terminal LD is active, and the reversal value "D" of the value "2" stored in the register 41 is loaded to a counter 21. Therefore, the output of a counter 21 serves as "D" and reverses the carry terminal RC to a negative condition.

[0037] In time of day t8, MCLK becomes negative, and although FF31 latches the signal outputted from the carry terminal RC, since the carry terminal RC is in a negative condition, in time of day t8, the output terminal Q of FF31 changes to a negative condition. As mentioned above, if "2" is set as a register 41, the carry terminal RC will become active with a period 3 times the period of MCLK, and the output terminal Q of FF31 will become active with a period 3 times the period of MCLK in connection with this. Therefore, AND circuit 32 outputs the pulse of MCLK every two pieces as a clock signal.

[0038] In addition, in the gestalt of above-mentioned operation, a counter 21 takes a count-up method, and although counted value was set to "F" when only the value stored in the register 41 carried out counting of the pulse of MCLK, it may adopt a count-down method for a counter 21. A carry signal will be outputted if a counter 21 will carry out the subtrahend of the value stored in the register if a count-down method is adopted, and counted value is set to "0."

[0039]

[Effect of the Invention] In order to acquire the clock signal of the frequency of

arbitration by extracting the pulse of a master clock signal every predetermined time amount according to this invention, the circuit which generates two or more clock signals to coincidence, and the circuit which chooses a clock signal become unnecessary, and a circuit scale is reduced. Moreover, just before falling of the pulse of a master clock signal since it is set up so that it may start and may not lap immediately after, a hazard does not arise [ the timing which extracts a pulse ]. Therefore, normal actuation of equipment is guaranteed and the effectiveness that dependability improves is done so.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the conceptual diagram of the clock electronic switch in this invention.

[Drawing 2] It is the detail drawing of the clock electronic switch of this invention.

[Drawing 3] It is a timing diagram in the gestalt of operation of the 1st of this invention.

[Drawing 4] It is a timing diagram in the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is a timing diagram in the gestalt of operation of the 3rd of this invention.

[Drawing 6] It is drawing showing the clock electronic switch in the 1st former of this invention.

[Drawing 7] Timing diagram \*\*\*\* of the clock electronic switch in the 1st former of this invention.

[Drawing 8] It is drawing showing the clock electronic switch in the 2nd former of this invention.

[Drawing 9] It is the timing diagram of the clock electronic switch in the 2nd former of this invention.

[Description of Notations]

1 Master Clock Generation Circuit

2 Counting -- Means

3 Extract Means

4 Setting Means

21 Counter

31 Flip-flop

32 AND Circuit

41 Register

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-99188  
(P2000-99188A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 1/06

識別記号

F I

G 0 6 F 1/04

テーマコード(参考)

3 1 0 A 5 B 0 7 9

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号

特願平10-265046

(22) 出願日

平成10年9月18日(1998.9.18)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 柴崎 省吾

神奈川県横浜市港北区新横浜二丁目15番16  
株式会社富士通コンピュータテクノロジ  
内

(74) 代理人 100072590

弁理士 井桁 貞一

Fターム(参考) 5B079 BA03 BB01 BC01 DD03 DD06  
DD17

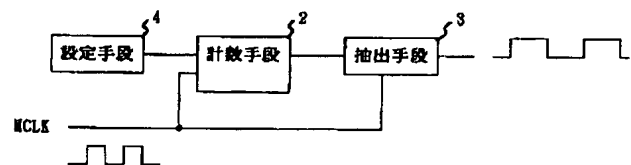
(54) 【発明の名称】 クロック切替回路

(57) 【要約】

【課題】 回路の大規模化を招くことなく、多様な周期のクロック信号を生成可能にするとともに、ハザードの発生を抑えるクロック切替回路を提供する。

【解決手段】 所望の周波数に対応する値を格納する設定手段4と、マスタクロックを計数する計数手段2と、計数手段2が設定手段4に格納された値を計数する毎に、マスタクロックを所定時間遅延して抽出する抽出手段3を設ける。

本発明のクロック切替回路のブロック図



**【特許請求の範囲】**

**【請求項1】** マスタクロック信号を該マスタクロック信号の整数倍の周期を有するクロック信号に切り替えるクロック切替回路において、  
クロック信号の目標周期に対応する値を設定する設定手段と、

マスタクロック信号のパルスを計数する計数手段と、  
前記計数手段における計数値が前記設定手段の設定値に達する毎に、マスタクロック信号のパルスを抽出する抽出手段と、を有することを特徴とするクロック切替回路。

**【請求項2】** 前記抽出手段は、前記計数手段における計数値が前記設定手段の設定値に達してから所定時間後にマスタクロック信号を抽出する遅延手段を有することを特徴とする請求項1に記載のクロック切替回路。

**【請求項3】** 前記計数手段は、前記設定手段における設定値だけ計数するとキャリー信号を出力し、  
遅延手段は、前記キャリー信号を所定時間だけ遅延させることを特徴とする請求項2に記載のクロック切替回路。

**【請求項4】** 前記抽出手段は、前記遅延手段において遅延されたキャリー信号の出力期間中に発生するマスタクロック信号のパルスを抽出することを特徴とする請求項3に記載のクロック切替回路。

**【請求項5】** 前記抽出手段は、前記計数手段のキャリー出力をマスタクロックのパルスの幅以上遅延させることを特徴とする請求項3に記載のクロック切替回路。

**【請求項6】** 前記計数手段は、マスタクロック信号のパルスの一方のエッジで該パルスを計数し、前記抽出手段は、マスタクロック信号の他方のエッジで前記キャリー信号をラッチするフリップフロップを有することを特徴とする請求項5に記載のクロック切替回路。

**【請求項7】** 前記抽出手段は、前記フリップフロップの出力とマスタクロック信号の論理積をとるアンド回路を有することを特徴とする請求項6に記載のクロック切替回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、回路動作の基本信号となるクロック信号を生成する回路に関し、特に、クロック信号を、設定可能な複数の周波数の中の所望の周波数を有するクロック信号に切り替える回路に関する。情報処理装置内の回路で消費される電力を抑える方法の一つとして、回路の動作速度を遅くする方法がある。回路の動作速度を遅くするには、回路を動作させるクロック信号の周波数を遅くすることで実現でき、クロック信号を所望の周波数を有するクロック信号に切り替える種々の回路が知られている。

**【0002】**

**【従来技術】** 図6に第1の従来 of クロック切替回路を示

す。図6において、51はクロック生成回路、52は設定レジスタ、53はセレクタである。クロック生成回路51は、複数の周波数のクロック信号を生成し、各周波数のクロック信号をセレクタ53に出力する。設定レジスタ52はnビットのデータが格納されるレジスタであり、目標とするクロック周波数に対応する値が格納される。セレクタ53は、クロック生成回路51が生成した複数の周波数のクロック信号の中から、設定レジスタに格納された値に対応する周波数のクロック信号を選択する。

**【0003】** ここで、クロック生成回路51は、4種類の周波数のクロック信号CLK0～CLK3を生成し、設定レジスタ52は、4種類のクロック信号を設定可能にすべく、2ビットの値を格納するものとする。図7は、第1の従来 of クロック切替回路における動作タイムチャートである。図7を用いて、クロック信号をCLK1からCLK2、CLK2からCLK1に切り替える動作を説明する。

**【0004】** 設定レジスタ52の値がCLK1に対応する「01」が格納されている間、セレクタ53はCLK1を選択的に出力する。クロック信号の切替は、ユーザーの要求、或いはCPUの判断によって発生する。クロック信号をCLK1からCLK2に切り替える指示が発生すると、設定レジスタ52の値がCLK1を示す「00」からCLK2を示す「01」に変更される。レジスタ53は、設定レジスタ52に格納される値が変化したことに応答して、CLK2を選択的に出力する。

**【0005】** また、CLK2からCLK1に戻す指示が発生すると、設定レジスタ52の値は「01」から「00」に戻り、セレクタ53は、設定レジスタ52に格納される値の変化に応答して、CLK1を選択的に出力する。図6に示される第1の従来 of クロック切替回路では、設定レジスタ52の値が変化した瞬間にクロック信号が切り替わる構成である。従って、設定値の変化のタイミングによっては、セレクタ53の出力にハザードが発生し、セレクタ53から出力されるクロック信号を受けて動作する回路が誤動作するという問題が生じる。例えば、選択したいクロック信号のパルスが立ち下がる直前に、そのクロック信号を指定する値が設定レジスタ52に設定されると、わずかな時間幅を持つパルス（ハザード）がセレクタ53から出力される。

**【0006】** また、設定可能な周波数の種類を増やすとクロック生成回路51が大規模化し、多数のクロック信号の中から所定の1つを選択するセレクタも複雑化且つ大規模化するという問題が生じる。上記問題を解決するため、一定の周波数を持つマスタクロック信号のパルスを設定された時間が経過する毎に抽出することにより、希望の周波数を持つクロック信号を生成するクロック切替回路が存在する。図8に、第2の従来におけるクロック切替回路を示す。

【0007】図8において、61はマスタクロック発生回路、62はカウンタ、63は設定レジスタ、64はアンド回路である。ここで、クロック発生回路61は或る周波数を持つマスタクロック信号を出力し、カウンタ62はマスタクロック発生回路61が発生するパルス进行を計数する。設定レジスタ63には、希望の周波数に対応する数値が格納され、カウンタ62は設定レジスタ63に設定された値だけマスタクロック信号のパルスを計数するとキャリ-信号を出力する。アンド回路64は、クロック発生回路61のクロックパルスとカウンタ62のキャリ-信号の論理積をとる。

【0008】よって、図9のクロック切替回路は、マスタクロック発生回路61が出力するパルスを、設定レジスタ63に格納された値に応じた時間間隔で抽出することにより、所定の周波数のクロック信号を生成する。図9のクロック切替回路によると、マスタクロック発生回路は、或る1つの周波数のパルスを発生すればよいため、回路の小型化が実現できる。また、クロック信号が切り替わるタイミングは、設定レジスタへの値の格納のタイミングに依存せず、マスタクロック信号に同期する。

#### 【0009】

【発明が解決しようとする課題】しかし、カウンタ62が出力するキャリ-信号の立上がり及び立下がり、図10に示すようにマスタクロック信号のパルスの立ち上がりよりも僅かな時間だけ遅れる。その結果、抽出されるパルスの幅が若干短くなるほか、間引かれるはずのパルスとキャリ-信号とが僅かな時間だけ重なってしまい、微小時間だけ出力される。従って、図9に示されるクロック切替回路を用いても、依然としてハザードの発生の問題が残った。

【0010】本発明では、上記問題点を解決すべく、回路の大規模化を招くことなく、より多くの周波数の設定が可能となるクロック生成回路を提供するとともに、クロック信号の切り替えを最適なタイミングで実行し、クロック信号にハザードを発生させないクロック切替回路を提供することを目的とする。

#### 【0011】

【課題を解決する手段】本発明の請求項1のクロック切替回路は、クロック信号の目標周期に対応する値を設定する設定手段と、マスタクロック信号のパルスを計数する計数手段と、計数手段の計数値が設定手段の設定値に達してから所定時間経つ毎に、マスタクロック信号のパルスを抽出する抽出手段とを備える。

【0012】請求項1の発明によると、設定手段の設定値に応じて、マスタクロック信号を複数の周期の何れか1つの周期のクロック信号に切り替えるため、複数の周波数のクロック信号を同時に生成する回路も、複数のクロック信号から所望の1つを選択する回路も不要となる。また、設定手段への値の設定のタイミングによら

ず、マスタクロック信号に同期したタイミングでクロック信号が切り替わるため、クロック信号の出力期間中に設定値が変更してもハザードは発生しない。更に、クロックパルスは、計数手段が設定手段における設定値だけ計数する毎に発生するため、間引かれるはずのマスタクロック信号のパルスが出力されることはなく、ハザードの発生が完全に抑えられる。

【0013】請求項2の発明では、計数手段における計数値が設定手段に設定された値だけ計数してから所定時間後にマスタクロック信号を抽出する遅延手段を備える。請求項2の発明によると、マスタクロックの抽出のタイミングが、計数手段における設定値の計数の完了からずれる。請求項3の発明では、計数手段が設定手段における設定値だけ計数する毎に所定時間幅のキャリ-信号を出力し、遅延手段によってキャリ-信号が遅延される。

【0014】請求項3の発明によると、キャリ-信号の位相がマスタクロック信号の位相よりずれる。請求項4の発明では、遅延されたキャリ-信号の出力期間中に発生するマスタクロックパルスを抽出する。請求項4の発明によると、遅延されたキャリ-信号の位相がマスタクロック信号とずれているため、キャリ-信号とマスタクロック信号のパルスとの微妙なタイミングのずれが吸収され、抽出されるパルスの幅をマスタクロック信号のパルス幅に一致させることができる。

【0015】請求項5の発明では、抽出手段は、計数手段のキャリ-出力をマスタクロック信号のパルスの幅以上遅延する。請求項5の発明によると、1回のキャリ-信号と重なるマスタクロック信号のパルスを1つだけとすることができるため、微小期間だけキャリ-信号と重なるマスタクロック信号のパルスがなくなり、ハザードの発生が防止できる。

【0016】請求項6の発明では、計数手段は、マスタクロック信号のパルスの一方のエッジでパルスを計数し、抽出手段は、マスタクロック信号のパルスの他方のエッジでキャリ-出力をラッチする。請求項6の発明によると、キャリ-出力をマスタクロック信号のパルス幅以上遅延することができ、上述したように、ハザードの発生が防止される。

【0017】請求項7の発明では、抽出手段は、フリップフロップの出力とマスタクロック信号の論理積をとるアンド回路を有する。請求項7の発明によると、マスタクロック信号の整数倍の周期を持ち、マスタクロック信号のパルスと同じ幅を持つクロック信号が出力される。

#### 【0018】

【発明の実施の形態】図1に、本発明のクロック切替回路の概念図を示す。図1において、2は計数手段、3は抽出手段、4は設定手段である。計数手段2は、一定の幅および一定の周期のマスタクロック信号(MCLK)のパルスを計数する。設定手段4は、所望の周波数のク



ロック信号に対応する値を設定し、計数手段2は、設定手段4が設定した値だけMCLKのパルスを計数するとMCLKの周期と同じ幅のキャリー信号を出力する。抽出手段3は、MCLKを入力し、計数手段4がキャリー信号を出力する毎にMCLKのパルスを出力する。

【0019】図2に本発明の実施の形態におけるクロック切替回路を示す。図2に示されるように、マスタクロック信号は、マスタクロック生成回路1から出力され、設定手段4はnビットのレジスタ41からなり、計数回路手段はnビットのカウンタ21からなる。レジスタ41に格納された第n (n=0, 1, ... k) ビット目のデータは、カウンタ21の対応するデータ入力端子DT<sub>n</sub>に反転されてロードされる。ロードされるタイミングは、ロード端子LDへの入力がアクティブの状態、即ち、キャリー端子RCからの出力がアクティブの状態にあるときに、MCLKがアクティブになるときである。

【0020】カウンタ21は、MCLKがアクティブとなるタイミングでカウントアップし、カウンタの出力が全て論理「1」になるキャリー端子RCからの出力がアクティブとなる。カウンタ21にはレジスタ41に格納されたデータを反転した値がロードされるため、カウンタ21がレジスタ41に格納された値だけMCLKをカウントする毎に、キャリー端子RCの状態がアクティブとなる。キャリー端子RCがアクティブの状態でMCLKがアクティブになると、上述のように、レジスタ41に格納されたデータが再びカウンタ21にロードされる。

【0021】抽出手段3は、カウンタ21が出力するキャリー信号をラッチするフリップフロップ(FF)31と、このFF31の出力およびMCLKの論理積をとるアンド回路32を含んでなる。FF31は、キャリー信号をMCLKの立ち下りのタイミングでラッチする。即ち、FF31からは、MCLKの幅だけ遅延されたキャリー信号が出力端子Qから出力される。

【0022】アンド回路32においては、FF31の出力端子Qからの信号とMCLKとの論理積がとられ、FF31の出力端子Qからアクティブな信号が出力されている期間に限ってアンド回路32に入力されるMCLKがクロック信号として出力される。以上に述べたクロック切替回路の動作を要約すると、レジスタ41に格納された値だけパルスが間引かれたMCLKがアンド回路32から出力される。

【0023】図3ないし図5は、図2に示されたクロック切替回路におけるタイムチャートである。図2に示されるレジスタ41は4ビットのデータを格納し、カウンタ21を4ビットのデータを計数するものとし、レジスタ41に格納される値が16進数で「0」、「1」および「2」のときのクロック切替回路の動作を以下に説明する。

【0024】図3は、レジスタ41に格納されるデータ

が「0」であるときのタイムチャートである。まず、時刻t<sub>0</sub>でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリー端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0025】そして、時刻t<sub>1</sub>において、MCLKがアクティブとなる。このとき、キャリー端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「0」の反転値である「F」がカウンタ21にロードされる。その結果、カウンタ21の出力は「F」を維持し、キャリー端子RCもアクティブの状態を維持する。

【0026】時刻t<sub>2</sub>になると、MCLKがネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻t<sub>2</sub>において、キャリー端子RCはアクティブの状態であるので、FF31の出力端子Qもアクティブの状態が維持される。以降も、MCLKがアクティブとなる毎に、レジスタ41に格納された値「0」の反転値「F」がカウンタ21にロードされるため、カウンタ21のキャリー端子RCはアクティブな状態を維持し続ける。従って、FF31の出力端子Qもアクティブな状態を維持し続け、アンド回路32の一方の入力は常にアクティブとなる。よって、アンド回路32に入力されるMCLKは間引かれることがなく、クロック切替回路は、MCLKをクロック信号としてアンド回路32から出力する。

【0027】図4は、レジスタ41に格納されるデータが「1」であるときのタイムチャートである。まず、時刻t<sub>0</sub>でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリー端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0028】そして、時刻t<sub>1</sub>においてMCLKがアクティブとなる。このとき、キャリー端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「1」の反転値「E」がカウンタ21にロードされる。従って、カウンタ21の出力は「E」となり、キャリー端子RCはネガティブな状態へと反転する。

【0029】時刻t<sub>2</sub>において、MCLKがネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻t<sub>2</sub>において、キャリー端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。時刻t<sub>3</sub>でMCLKがアクティブとなり、カウンタ21はカウントアップアップ動作を行う。その結果、出力が「E」から「F」へと変換し、キャリー端子RCはアクティブな状態へと変化する。

【0030】時刻 $t_4$ において、MCLKはネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_4$ において、キャリー端子RCはアクティブな状態であるため、FF31の出力端子Qもアクティブな状態へと変化する。時刻 $t_5$ において、MCLKがアクティブとなる。このとき、キャリー端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「1」の反転値「E」がカウンタ21にロードされる。従って、カウンタ21の出力は「E」となり、キャリー端子RCはネガティブな状態へと反転する。

【0031】時刻 $t_6$ において、MCLKがネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_6$ において、キャリー端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。以上のように、レジスタ41に「1」が設定されると、キャリー端子RCはMCLKの周期の2倍の周期でアクティブとなり、これに伴い、FF31の出力端子QもMCLKの周期の2倍の周期でアクティブとなる。従って、アンド回路32は、クロック信号としてMCLKのパルスを1個おきに出力する。

【0032】図5は、レジスタ41に格納されるデータが「2」であるときのタイムチャートである。まず、時刻 $t_0$ でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリー端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0033】そして、時刻 $t_1$ においてMCLKがアクティブとなる。このとき、キャリー端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「2」の反転値「D」がカウンタ21にロードされる。従って、カウンタ21の出力は「D」となり、キャリー端子RCはネガティブな状態へと反転する。

【0034】時刻 $t_2$ において、MCLKがネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_2$ においては、キャリー端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。時刻 $t_3$ でMCLKがアクティブとなり、カウンタ21はカウントアップアップ動作を行う。その結果、出力が「D」から「E」へと変化するが、キャリー端子RCはネガティブな状態を維持する。

【0035】時刻 $t_4$ において、MCLKはネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_4$ において、キャリー端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブの状態を維持する。時刻 $t_5$ において、

MCLKがアクティブとなる。カウンタ21はカウントアップアップ動作を行う。その結果、出力が「E」から「F」へと変換し、キャリー端子RCはアクティブな状態に変化する。

【0036】時刻 $t_6$ において、MCLKはネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_6$ において、キャリー端子RCはアクティブな状態であるため、FF31の出力端子Qもアクティブな状態へと変化する。時刻 $t_7$ において、MCLKがアクティブとなる。このとき、キャリー端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「2」の反転値「D」がカウンタ21にロードされる。従って、カウンタ21の出力は「D」となり、キャリー端子RCはネガティブな状態へと反転する。

【0037】時刻 $t_8$ において、MCLKがネガティブとなり、FF31はキャリー端子RCから出力される信号をラッチするが、時刻 $t_8$ において、キャリー端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。以上のように、レジスタ41に「2」が設定されると、キャリー端子RCはMCLKの周期の3倍の周期でアクティブとなり、これに伴い、FF31の出力端子QもMCLKの周期の3倍の周期でアクティブとなる。従って、アンド回路32は、クロック信号としてMCLKのパルスを2個おきに出力する。

【0038】なお、上述の実施の形態においては、カウンタ21はカウントアップ方式をとり、レジスタ41に格納された値だけMCLKのパルスを計数するとカウント値が「F」となったが、カウンタ21をカウントダウン方式を採用してもよい。カウントダウン方式を採用すると、カウンタ21はレジスタに格納された値を減数し、カウント値が「0」になるとキャリー信号を出力する。

【0039】

【発明の効果】本発明によると、マスタクロック信号のパルスを所定の時間おきに抽出することにより、任意の周波数のクロック信号を得るため、複数のクロック信号を同時に生成する回路やクロック信号を選択する回路が不要となり回路規模の縮小される。また、パルスを抽出するタイミングが、マスタクロック信号のパルスの立ち下がり直前或いは立ち上がり直後と重ならないように設定されるため、ハザードが生じることが無い。従って、装置の正常な動作が保証され、信頼性が向上するという効果を奏する。

【図面の簡単な説明】

【図1】本発明におけるクロック切替回路の概念図である。

【図2】本発明のクロック切替回路の詳細図である。

【図3】本発明の第1の実施の形態におけるタイムチャ

ートである。

【図4】本発明の第2の実施の形態におけるタイムチャートである。

【図5】本発明の第3の実施の形態におけるタイムチャートである。

【図6】本発明の第1の従来におけるクロック切替回路を示す図である。

【図7】本発明の第1の従来におけるクロック切替回路のタイムチャートある。

【図8】本発明の第2の従来におけるクロック切替回路を示す図である。

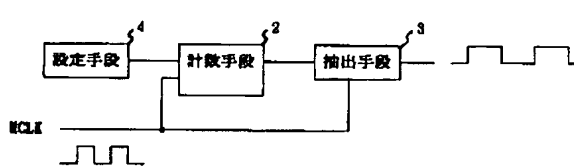
【図9】本発明の第2の従来におけるクロック切替回路のタイムチャートである。

【符号の説明】

- 1      マスタクロック生成回路
- 2      計数手段
- 3      抽出手段
- 4      設定手段
- 21     カウンタ
- 31     フリップフロップ
- 32     アンド回路
- 41     レジスタ

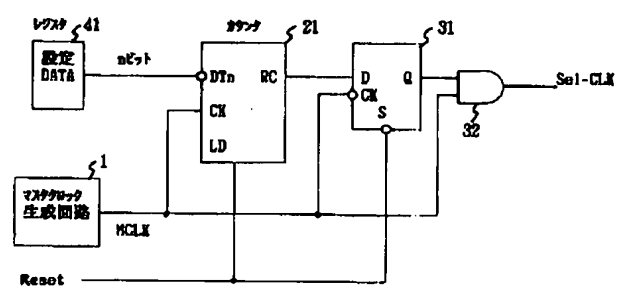
【図1】

本発明のクロック切替回路のブロック図



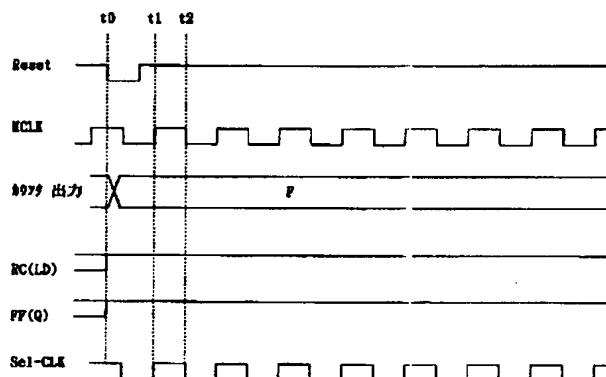
【図2】

本発明の実施の形態におけるクロック切替回路



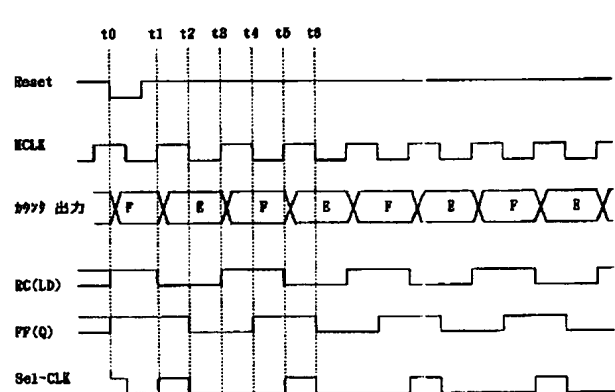
【図3】

本発明の第1の実施の形態におけるタイムチャート

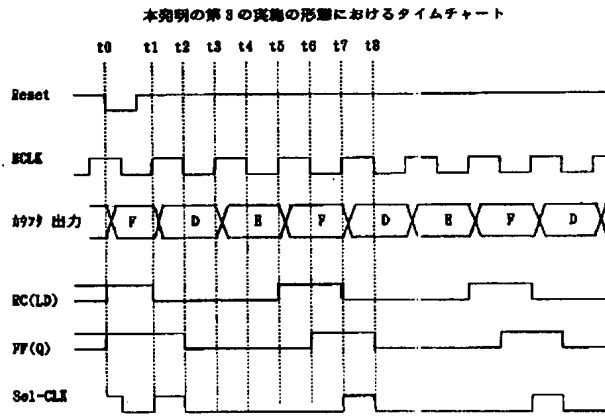


【図4】

本発明の第2の実施の形態におけるタイムチャート

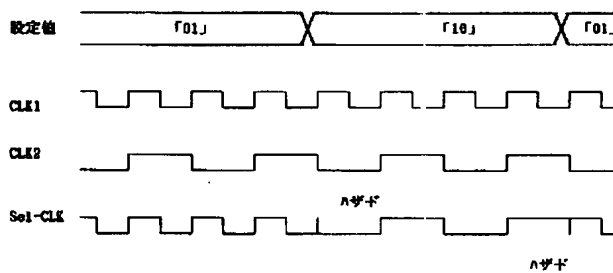


【図5】



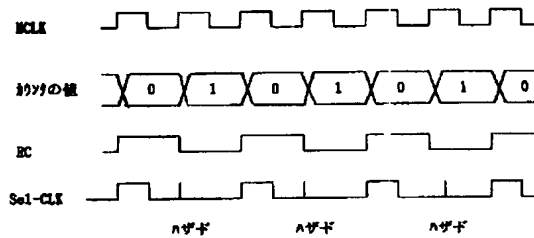
【図7】

第1の従来のクロック切替回路におけるタイムチャート



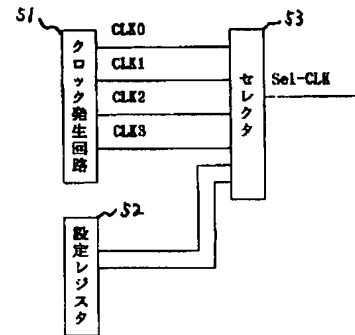
【図9】

第2の従来のクロック切替回路におけるタイムチャート



【図6】

本発明の第1の従来のクロック切替回路



【図8】

第2の従来のクロック切替回路を示す図

